

DERWENT-ACC-NO: 1997-264087

DERWENT-WEEK: 199724

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Layout method for IC design -
involves arranging each
circuit unit based element position of first and second
information, to avoid on first and second position
overlapping

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1995JP-0250630 (September 28, 1995)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 09091333 A		April 4, 1997	N/A
006	G06F 017/50		

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP 09091333A		N/A	
1995JP-0250630		September 28, 1995	

INT-CL (IPC): G06F017/50, H01L021/82

ABSTRACTED-PUB-NO: JP 09091333A

BASIC-ABSTRACT:

The method involves forming a wiring pattern according to logic information for circuit design, on a foundation of diffusion layer. A first circuit unit is linked to a first network connected to an input-output buffer based on terminal position and arrangement information from a foundation library and a network list information. A set of second circuit unit is

connected to the first
circuit unit and a second network, except the first
network.

The distance between a terminal of the input-output buffer
and each terminal of
the first and second circuit units are made minimum in a
core area. The
distance between each terminals of the first and second
circuit units is made
minimum. Overlapping of the arrangement position of each
element of the first
and second circuit unit is avoided, based on the first and
second information.

ADVANTAGE - Reduces wiring length between input-output
buffer and arrangement
cell. Improves speed of layout design of IC

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: LAYOUT METHOD IC DESIGN ARRANGE ELEMENT
POSITION FIRST SECOND
CIRCUIT UNIT BASED FIRST SECOND POSITION
INFORMATION AVOID OVERLAP

DERWENT-CLASS: T01 U11

EPI-CODES: T01-J15A1; U11-G;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-218423

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-91333

(43) 公開日 平成9年(1997)4月4日

(51) IntCl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 5 8 A
H 0 1 L 21/82			H 0 1 L 21/82	6 5 8 U C

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-250630

(22) 出願日 平成7年(1995)9月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村田 尚志

東京都港区芝五丁目7番1号 日本電気株式会社社内

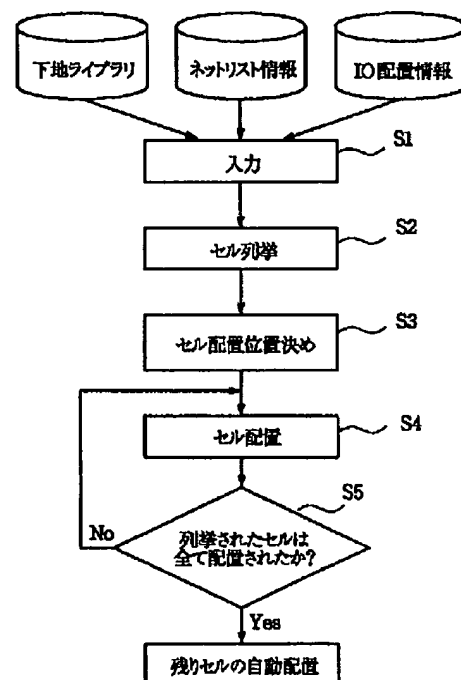
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 レイアウト方法

(57) 【要約】

【課題】 タイミング制約を満足するICのレイアウト設計の高速化。

【解決手段】 入力した下地ライブラリとネットリスト情報とIOバッファ配置情報とからIOバッファ5に接続するネット6に接続する第1段セル71, 72とこれらセル71, 72に接続しネット6を除くネット8, 9に接続する第2段セル101, 102, 111~113とを列挙するステップS2と、コア領域12内でIOバッファ5のピン51, 52と列挙したセル71, 72, 101, 102, 111~113の各々のピン間の距離がそれぞれ最小となる位置またはセル71, 72同志およびセル101, 102, 111~113同志の各々のピン間の距離がそれぞれ最小となる位置を探索するステップS3と、ステップS3の位置情報からセル71, 72, 101, 102, 111~113の各々同志の位置が重複しないように配置するステップS4とを含む。



【特許請求の範囲】

【請求項1】 予め形成した複数の回路素子または機能回路ブロックである複数の単位回路の集合を予め定めたコア領域内に規則的に配列した拡散ウエハである下地に設計対象回路の論理情報にしたがって配線パターンを生成することにより設計対象回路を形成するレイアウト方法において、

前記下地の前記単位回路の端子位置および配置情報を含む下地ライブラリと前記設計対象回路の論理情報対応のネットリスト情報と入出力用のIOバッファの配置を示すIOバッファ配置情報とを入力する第1のステップと、

前記下地ライブラリとネットリスト情報とIOバッファ配置情報とから前記IOバッファに接続する第1のネットに接続する第1の単位回路とこの第1の単位回路に接続し前記第1のネットを除く第2のネットに接続する第2の単位回路とを列挙する第2のステップと、

前記コア領域内で前記IOバッファの端子と列挙した前記第1、第2の単位回路の各々の端子との間の距離がそれぞれ最小となる第1の位置または前記第1の単位回路同志および前記第2の単位回路同志の各々の端子間の距離がそれぞれ最小となる第2の位置を探索する第3のステップと、

前記第1、第2の位置情報から前記第1、第2の単位回路の各々同志の位置が重複しないように配置する第4のステップとを含むことを特徴とするレイアウト方法。

【請求項2】 請求項1記載のレイアウト方法で前記第1、第2の単位回路の配置の終了後、残余の単位回路を前記論理情報における論理階層に基づいてグループ単位に分割し、これらグループ同志の接続関係および配置後の前記第1、第2の単位回路との接続関係を考慮しながら前記グループを配置することを特徴とするレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はレイアウト方法に関し、特に集積回路設計におけるタイミング制約を考慮したレイアウト方法に関する。

【0002】

【従来の技術】 集積回路の微細化、大規模化に伴ない配線容量や配線抵抗に起因する信号の伝播遅延が無視できなくなってきており、それらによる回路の誤動作が問題となってきている。この回避のために現在ではタイミングを考慮したレイアウト設計が一般的になってきている。

【0003】 IOとそれにつながるFFなどのセルの間では、特にタイミング制約が厳しく、従来は、例えば、情報処理学会第43回全国大会（平成3年後期）論文番号3R-1及び同3R-4（文献1、2）などに見られるような、一般的なタイミングを考慮した配置手法

を用いることで上記制約を満たすようにしていた。

【0004】 文献1、2記載の上記の従来の一般的なレイアウト方法をフローチャートで示す図4を参照すると、この従来のレイアウト方法は、まず、下地ライブラリとネットリスト情報とIO配置情報と遅延ライブラリおよびタイミング制約情報を入力処理プログラムで入力する（ステップP1）。ここで、下地ライブラリは例えばゲートアレイの下地に関する情報であり、予め形成された下地が決まればその上に配置できる素子も決まるものである。次に、セルの仮配置プログラムでセルの仮の配置位置を決める（ステップP2）。次に、配線長予測プログラムで配置位置から配線長を予測する（ステップP3）。タイミング解析プログラムで予測した配線長から遅延計算によるタイミング解析を行う（ステップP4）。次に、配置改良プログラムでステップP4の解析結果をもとに配置を改良する（ステップP5）。次に、ステップ5の配置改良結果、遅延値で決まるタイミングが制約条件を満足しているか否かのチェックを行い（ステップP6）、満足しない場合には、再びステップP3に戻るといったものであった。

【0005】

【発明が解決しようとする課題】 上述した従来のレイアウト方法は、予測した配線長をもとにタイミング解析を行なっているが、配線処理後の実際の配線長は迂回などのため予測配線長より長くなる場合があり、したがって実際の遅延値がレイアウト配置時の計算値を上回り制約条件に違反してしまうことがあり得るという欠点があった。

【0006】 さらに、上記タイミング解析は、注目セルの入力までに関わる全てのネットについて遅延値を計算する必要があるため時間がかかり、制約条件数が増大するとそれだけ処理時間が増大するという欠点があった。

【0007】

【課題を解決するための手段】 本発明のレイアウト方法は、予め形成した複数の回路素子または機能回路ブロックである複数の単位回路の集合を予め定めたコア領域内に規則的に配列した拡散ウエハである下地に設計対象回路の論理情報にしたがって配線パターンを生成することにより設計対象回路を形成するレイアウト方法において、

前記下地の前記単位回路の端子位置および配置情報を含む下地ライブラリと前記設計対象回路の論理情報対応のネットリスト情報と入出力用のIOバッファの配置を示すIOバッファ配置情報とを入力する第1のステップと、前記下地ライブラリとネットリスト情報とIOバッファ配置情報とから前記IOバッファに接続する第1のネットに接続する第1の単位回路とこの第1の単位回路に接続し前記第1のネットを除く第2のネットに接続する第2の単位回路とを列挙する第2のステップと、前記コア領域内で前記IOバッファの端子と列挙した前記第1、第2の単位回路の各々の端子との間の距離がそれ

それぞれ最小となる第1の位置または前記第1の単位回路同志および前記第2の単位回路同志の各々の端子間の距離がそれぞれ最小となる第2の位置を探索する第3のステップと、前記第1、第2の位置情報から前記第1、第2の単位回路の各々同志の位置が重複しないように配置する第4のステップとを含むことを特徴とするものである。

【0008】

【発明の実施の形態】次に、本発明の実施の形態をフローチャートで示す図1を参照すると、この図に示す本実施の形態のレイアウト方法は、入力プログラムで下地ライブラリとネットリスト情報とIO配置情報とを入力するステップS1と、これら入力した情報からIOバッファの所属ネットに接続するセルまたはこれらセルとこれらセル所属ネットに接続するIOバッファ以外のセルを列挙するセル列挙プログラムであるステップS2と、列挙されたセルの配置実行の許容領域内でIOバッファのピンとセルのピンとの距離が最小にまたは同一ネット所属セル同志の場合それらセルのピン間の距離が最小にそれぞれなるような位置を探すセル配置位置決めプログラムであるステップS3と、それらの位置からセルどうしが重ならないように配置する配置プログラムであるステップS4と、ステップS2で列挙したセルは全て配置されたか否かをチェックするステップS5とを含む。

【0009】次に、図1、ステップS2のセル列挙の対象のネットリストの一例を模式的に示す図2およびステップS3のセル配置位置決めの対象の許容領域の一例を模式的に示す図3を参照して本実施の本実施の形態の動作について説明すると、ステップS1で入力されたネットリスト情報から、ステップS2のセル列挙プログラムは、IOバッファに接続するネットをたどり、このネット上にあるセル（説明の便宜上第1段セルと呼ぶ以下同様）を列挙する。さらに第1段セルからネットをたどり、このネット上にあるセル（第2段セル）を列挙する。これを全てのIOバッファについて行い、全ての第1段セルおよび第2段セルをステップS3のセル配置位置決めプログラムに渡す。図2の例では、IOバッファ5に接続するネット6をたどって第1段セル群7所属の第1段セルであるセル71、72を列挙し、さらにセル71につながるネット8をたどって第2段セル群10所属の第2段セルであるセル101、102を、セル72につながるネット9をたどって第2段セル群11所属の第2段セルであるセル111、112、113を列挙する。このとき列挙した全てのセル71、72、101、102、111、112、113をセル配置位置決めプログラム（ステップS3）に渡す。

【0010】セル配置位置決めプログラムは、第1段セルおよび第2段セルの配置許容領域（コア領域）内で、第1段セルに関し、同一ネット上のIOバッファのピンと第1段セルのピンとの間の距離が最小になる位置を求

め、ステップ4のセル配置プログラムがその位置から他の配置済みのセルと重ならないように近傍を検索し、配置する。これを全ての第1段セルについて行った後、再度ステップ3では、第1段セルに関し第1段セルのピンの位置からコア領域内で同一ネット上の第2段セルのピンとの距離が最小になる位置を決め、ステップ4でその位置から他の配置済みのセルと重ならないように近傍を検索し、配置する。これを全ての第2段セルについて行って、処理が終了する。ここで、上記コア領域の情報は上述の下地ライブラリの中にあり、下地により決まる素子配置許容領域をコア領域と呼ぶ。

【0011】図3の例では、IOバッファ5、セル71、72の各々のピン51、711、721はそれぞれネット6上にある。また、セル71、101、102の各々のピン712、ピン1011、1021はそれぞれネット8上にあり、セル72、111、112、113の各々のピン722、1111、ピン1121、1131はそれぞれネット9上にある。このとき、ピン51、711相互間が距離最小になる位置をコア領域12内で求め、この求めた位置付近に他のセルと重ならないようにセル71を配置する。セル72についても同様である。その他の第1段セルを同様に配置した後、第2段セルの配置に移る。ピン712、1011相互間が距離最小になる位置をコア領域12内で求め、この求めた位置付近に他のセルと重ならないようにセル101を配置する。セル102、111、112、113についても同様である。

【0012】本実施の形態の方法で配置対象とならなかったセルは、従来と同一方法により配置する。

【0013】本実施の形態の方法のステップS2より、セルの列挙の処理は、与えられたネットリストをIOバッファからたどるだけで可能であり、第1段セルのピンとIOバッファのピンとの距離最小の位置決めは、ステップS1で入力されたIOバッファの配置情報から容易に計算でき、第1段、第2段セルのピン間の距離最小の位置決めは、第1段セルが配置済みであるから容易に計算できる。

【0014】ステップS3により、IOバッファとセル、またはセルどうしのピン間の距離を小さくできるため、配線処理を行った後でも配線を短く抑えることができ、これらの間のタイミング制約条件を守ることができる。

【0015】したがって、本手法で配置対象となるセルの間のタイミング解析は不要となり、この部分での配置の処理時間が短縮できる。さらに、本手法で配置した部分のタイミング制約条件を省くことにより、全体のタイミングの制約条件数を低減することができ、従来の方法の配置処理の時間を短縮できる。

【0016】例えば、ネット数2300、IOバッファ数140の設計データに本実施の形態の方法を適用した

5

場合、従来の方法に比べ、制約条件数を10%低減でき、20%の配置処理の時間短縮を行うことができた。

【0017】以上、本発明の実施例を説明したが、本発明は上記実施の形態に限られることなく種々の変形が可能である。例えば、実施の形態では対象セルの配置後、残りセルを従来の方法のタイミング考慮の配置を行うことでタイミング制約条件を満たすようにしているが、グループを配置することによりタイミング制約条件を満たすレイアウトを行うことも、本発明の主旨を逸脱しない限り適用できることは勿論である。

【0018】すなわち、上記実施の形態のレイアウト方法で対象となるセルの配置後、残りセルを論理階層をもとにグループに分割し、グループどうしの接続関係、及び本実施の形態の方法で配置したセルとの接続関係を考慮しながら、自動または人手によりグループを配置する。グループを配置することは従来からも行われていたが、この場合、配置済みのセル位置を手掛かりに、配置済みセルとグループとを配線長を短く抑える位置に配置することが容易になり、タイミング制約条件を満たし易くなる。

【0019】

【発明の効果】以上説明したように、本発明のレイアウト方法は、I/Oバッファに接続する第1のネットに接続する第1の単位回路と第2の単位回路とを列挙するステップと、コア領域内でI/Oバッファの端子と列挙した第1、第2の単位回路の各々の端子との間の距離がそれぞれ最小となる第1の位置または上記第1の単位回路同志および上記第2の単位回路同志の各々の端子間の距離がそれぞれ最小となる第2の位置を探索するステップと、上記第1、第2の位置情報から上記第1、第2の単位回

6

路の各々同志の位置が重複しないように配置する第4のステップとを含み、I/Oバッファに直接接続するセル、またはI/Oバッファに直接接続するセルに直接接続するセルをI/Oバッファ近くに優先的に配置するようにしたため、I/Oバッファと配置セルとの間の配線長を最短に抑制できるので、タイミング制約条件を確実に守ることができるという効果がある。

【0020】また、従来の方法と併用した場合でも、タイミング制約条件数を低減できるため、セル配置処理時間を短縮できるという効果がある。

【図面の簡単な説明】

【図1】本発明のレイアウト方法の一実施の形態を示すフローチャートである。

【図2】本実施の形態のレイアウト方法におけるセル列挙の対象のネットリストの一例を模式的に示す図である。

【図3】セル配置位置決めの対象の許容領域の一例を模式的に示す図である。

【図4】従来のレイアウト方法の一例を示すフローチャートである。

【符号の説明】

5 I/Oバッファ

6, 8, 9 ネット

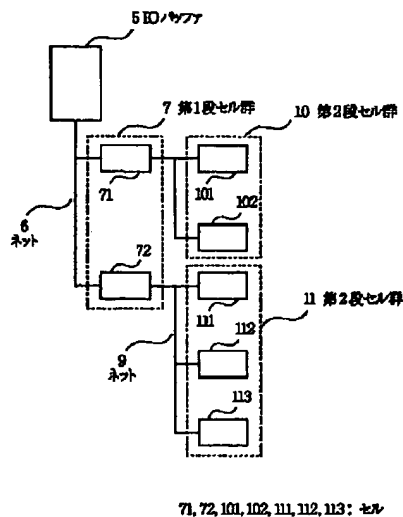
7 第1段セル群

10, 11 第2段セル群

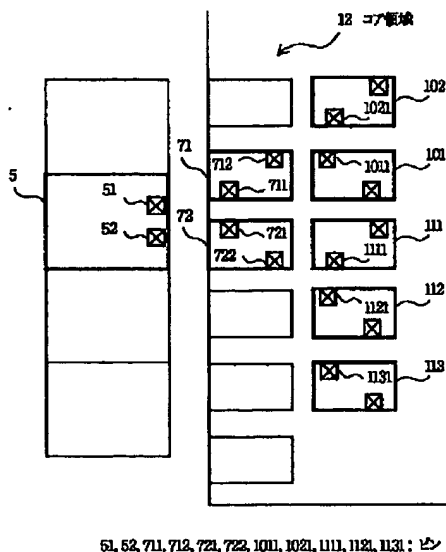
71, 72, 101, 102, 111, 112, 113 セル

51, 52, 711, 712, 721, 722, 1011, 1021, 1111, 1121, 1131 ピン

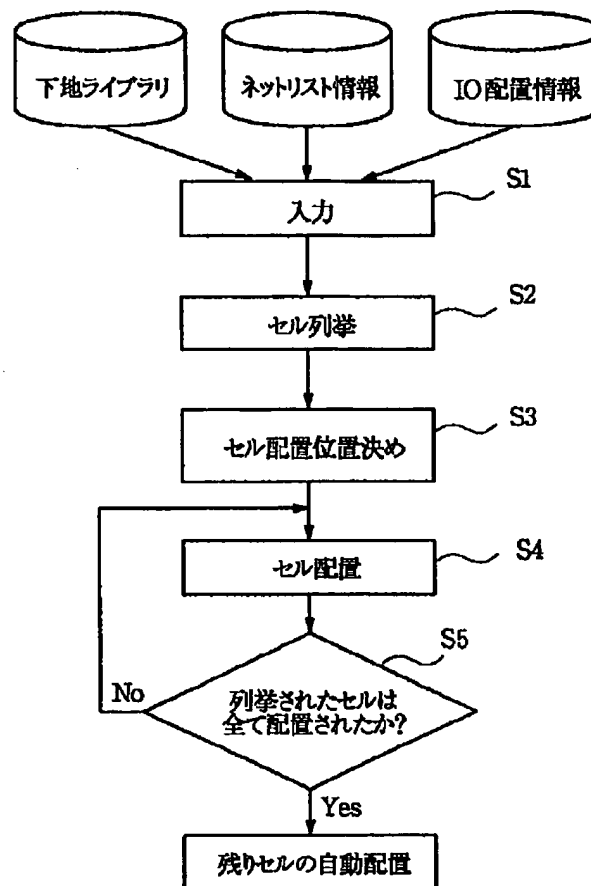
【図2】



【図3】



【図1】



【図4】

